

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-183424

(43)Date of publication of application : 06.07.2001

(51)Int.Cl.

G01R 31/28
G06F 17/50
H01L 21/82
H01L 27/04
H01L 21/822

(21)Application number : 11-370443

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.12.1999

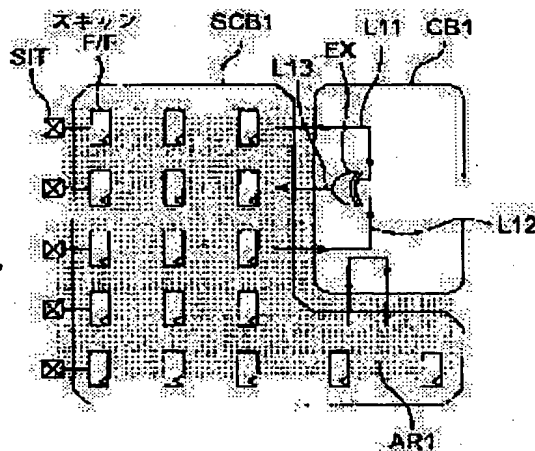
(72)Inventor : MORI JUNJI

(54) INTEGRATED CIRCUIT AND ITS DESIGN METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To facilitate a test of a boundary area between blocks of a device made by combining a block made up of a combination of standard cells with a custom block made up of a macro block and an IP.

SOLUTION: The custom block CB1 is designed, with a means added thereto for performing computations, such as EXOR computation simpler than usual operation and outputting it when the block CB1 is put into scan mode. This simplifies logical relations between input and output, without being affected by the history of data in the past stored in memories and registers contained in the block CB1. Similarly to the standard cell block SCB1 using a scan method, test patterns can be produced automatically by ATPG.



LEGAL STATUS

[Date of request for examination]

24.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-183424

(P2001-183424A)

(43) 公開日 平成13年7月6日(2001.7.6)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 1 R 31/28		G 0 1 R 31/28	G 2 G 0 3 2
G 0 6 F 17/50			B 5 B 0 4 6
H 0 1 L 21/82		G 0 6 F 15/60	6 5 4 N 5 F 0 3 8
27/04		H 0 1 L 21/82	T 5 F 0 6 4
21/822		27/04	U 9 A 0 0 1
審査請求 未請求 請求項の数6 O L (全 7 頁)			

(21) 出願番号 特願平11-370443

(22) 出願日 平成11年12月27日(1999.12.27)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 森 順 治

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100064285

弁理士 佐藤 一雄 (外3名)

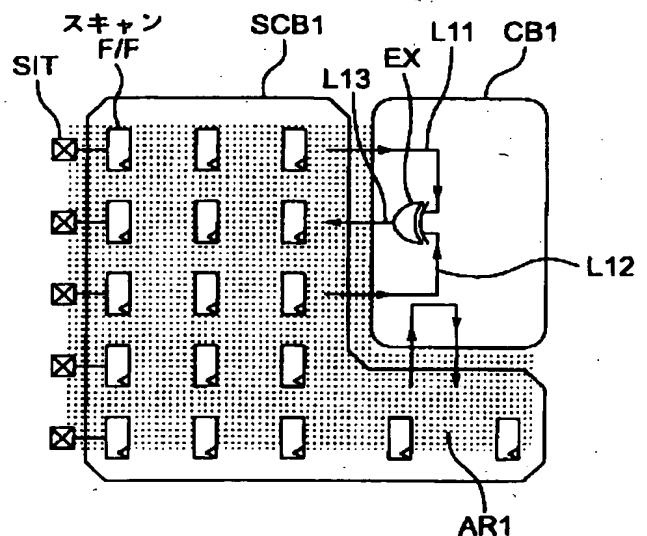
最終頁に続く

(54) 【発明の名称】 集積回路及びその設計方法

(57) 【要約】

【課題】 スタンダードセルを組み合わせたブロックとマクロブロックやIPから成るカスタムブロックとを組み合わせた装置におけるブロック間の境界領域のテストの容易化を実現する。

【解決手段】 カスタムブロックCB1をスキャンモードに設定した場合に、通常動作よりも簡易なEXOR演算等の演算を行って出力する手段を付加する設計を行う。これにより、カスタムブロックCB1に含まれるメモリやレジスタに格納されている過去のデータの履歴に影響されことなく、入出力の論理関係が単純化されるので、スキャン手法が用いられるスタンダードセルブロックSCB1と同様にATPGによりテストパターンを自動発生することができる。



(2)

【特許請求の範囲】

【請求項 1】通常動作モードにおいて、入力データに対して所定処理を行い出力する集積回路にスキャン手法を適用する集積回路の設計方法であって、

スキャンモードが設定された場合、前記所定処理と同等又はより簡易な処理を行い、前記入力データを出力するバイパス手段とを付加することを特徴とする集積回路の設計方法。

【請求項 2】通常動作モードにおいて、入力オペランド及び入力オペコードを入力され、前記入力オペコードにより指定される所定処理を行い、出力オペランド及び出力オペコードの少なくともいずれか一方を出力する集積回路にスキャン手法を適用する集積回路の設計方法であって、

スキャンモードが設定された場合、前記入力オペコードにより指定される前記所定処理に係わらず、予め固定された、前記所定処理と同等又はより簡易な処理を前記入力オペランドに行い、

前記処理を行い得られた結果を、前記出力オペランド及び出力オペコードの少なくともいずれか一方として出力することを特徴とする集積回路の設計方法。

【請求項 3】通常動作モードにおいて、入力データに対して所定処理を行い出力する集積回路にスキャン手法が適用された集積回路であって、

前記集積回路は前記所定処理を行う手段に加えて、スキャンモードを設定するスキャンモード設定手段と、前記スキャンモード設定手段により前記スキャンモードが設定された場合、前記処理と同等又はより簡易な処理を行い、前記入力データを出力するバイパス手段とをさらに備えることを特徴とする集積回路。

【請求項 4】通常動作モードにおいて、入力オペランド及び入力オペコードを入力され、前記入力オペコードにより指定される所定処理を行い、出力オペランド及び出力オペコードの少なくともいずれか一方を出力する集積回路にスキャン手法が適用された集積回路であって、

前記集積回路は前記所定処理を行う手段に加えて、スキャンモードを設定するスキャンモード設定手段と、前記スキャンモード設定手段により前記スキャンモードが設定された場合、前記入力オペコードにより指定される前記所定処理に係わらず、予め固定された、前記所定処理と同等又はより簡易な処理を前記入力オペランドに行う処理手段と、

前記処理手段が前記処理を行い得られた結果を、前記出力オペランド及び出力オペコードの少なくともいずれか一方として出力する手段とをさらに備えることを特徴とする集積回路。

【請求項 5】前記集積回路は演算器であり、

前記スキャンモード設定手段は、スキャンモード設定信号を入力されるスキャンモード設定信号入力端子であり、

2

前記処理手段は、前記スキャンモード設定信号が入力されると、固定された前記処理を前記入力オペランドに行うものであり、

前記出力手段は、前記処理手段が処理した結果を、前記出力オペランド及び出力オペコードの少なくともいずれか一方として出力するものであることを特徴とする請求項 4 記載の集積回路。

【請求項 6】前記集積回路は書込及び読出可能なメモリであり、

10 通常動作において、前記入力オペランドは書込データであり、前記入力オペコードはアドレスと、書込又は読出を指定する制御信号とを含み、前記出力オペランドは読出データであり、

前記スキャンモード設定手段は、スキャンモード設定信号を入力されるスキャンモード設定信号入力端子であり、

前記処理手段は、前記スキャンモード設定信号が入力されると、前記制御信号に基づいて、前記入力オペランド又は前記入力オペランドのいずれかを選択してバイパスするものであり、

20 前記出力手段は、前記処理手段がバイパスしたものを前記出力オペランドとして出力するものであることを特徴とする請求項 4 記載の集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は集積回路及びその設計方法であって、特にスキャン手法を用いて集積回路を設計する方法及びその方法を用いて設計された集積回路に関する。

30 【0002】

【従来の技術】近年、スタンダードセル（以下、SC という）を用いて論理合成／自動配置配線を行い所望の回路を実現することが行われている。これは、一定の機能を有する SC を予めライブラリに登録しておき、仕様が決定されそのロジック構成が機能記述言語で記述された所望の回路を複数の SC を組み合わせて論理合成を行ってネットリストを作成し、このリストを用いて自動配置配線を行うことで、回路パターンを実現するという手法である。

40 【0003】この手法は、機能記述言語で記述した機能を回路パターンまで自動生成することが可能であるため、設計の期間短縮及び設計自由度の向上に有効である。よって、SC を用いた論理合成／自動配置配線の手法は、ASIC (Application Specific IC) に限らず、高性能なカスタム設計を必要とするマイクロプロセッサにも部分的に応用されている。

50 【0004】さらにこの手法は、テスト容易化のためスキャン手法を適用することにより、製品出荷時におけるテストパターンを ATPG (Auto Test Pattern Generator) を用いて自動生成することが可能であり、高い故

(3)

3

障検出率を実現することができる。

【0005】ここでスキャン手法とは、回路をフリップフロップ（以下、F/Fという）から成る順序回路とF/Fを含まない論理回路から成る組み合わせ回路とに大別し、F/Fを直列に接続して1つのシフトレジスタとし、外部から所望の値を入力して組み合わせ回路に伝搬して動作させ、動作結果をシフトレジスタから順次取り出して検査する手法である。スキャンF/Fの間に挟まれた論理回路は、その部分だけ規模の小さい回路として切り出して検査対象とすることができる。よって、ATPGを用いて故障検出可能な入力との組み合わせを容易に解析することが可能となる。

【0006】ところが、メモリや高速演算器等のように特定の固定された機能を有する回路においては、SCの組み合わせにより実現するのではなく、人手により回路及びレイアウト設計を行うことで、素子面積の最小化及び動作の高速化を達成させる手法が用いられている。このような回路は、MB（Macro Block）として予め設計しておいたもの、あるいは他社からIP（Intellectual Property）として購入したものを用いる場合が多い。

【0007】このようなMB又はIPはそれ単体で装置として用いられるのではなく、その周囲に用途に応じた回路を配置して組み合わせた状態で用いられる。しかし、MB又はIPの周囲にどのような回路が配置されるかは設計時点において不明である。そこで、通常はMB又はIP単体で故障検出が可能なように、回路内部にスキャンF/FやBIST（Build-In Self Test）といったテスト容易化設計が行われている。

【0008】よって、SCを用いて論理合成／自動配置配線を行った回路はスキャン手法によりテスト容易化が可能であり、またMB又はIP単体はテスト手法が確立されているのでテストの容易化が可能である。

【0009】

【発明が解決しようとする課題】しかし、SCにより合成した回路とMB又はIPとを組み合わせた従来の装置には、次のような問題があった。

【0010】図6に示されたように、SCを組み合わせたSCブロックSCB2と、MB又はIPから成るカスタムブロックCB2とが配置されている。SCブロックSCB2内において、F/Fがスキャン接続されており、装置外部に設けられたスキャン入力端子SITから所望のデータの入力設定及びテスト結果の出力が可能である。また、カスタムブロックCB2内のテストは、設計時に確立された手法に従って実施することができる。

【0011】ところが、カスタムブロックCB2と組み合わせることにより、SCブロックSCB2内にはスキャン設計によって故障検出が可能な領域AR2と、可能でない領域AR3とが存在する。この領域AR3は、カスタムブロックCB2とSCブロックSCB2との境界領域に相当し、スキャンにより入力の制御及び出力の観

4

測をトレースすることができないため、故障検出が不可能である。

【0012】図6に示されたように、カスタムブロックCB2内に含まれるF/Fを用いてスキャン設計を行う手法も考えられる。ところが、このような設計を行うとカスタムブロックCB2の面積が増大し、また動作周波数の低下も招くこととなりやすい。このため、カスタムブロックCB2を用いる意義が失われることとなる。

【0013】本発明は上記事情に鑑み、スキャン手法を用いることが可能なSCブロックと、MB又はIPから成るカスタムブロックとを組み合わせた場合のブロック間の境界領域のテストを容易化することが可能な集積回路の設計方法及びこの手法を用いて設計された集積回路を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明の集積回路の設計方法は、通常動作モードにおいて、入力データに対して所定処理を行い出力する集積回路にスキャン手法を適用する設計方法であって、スキャンモードが設定された場合、前記所定処理と同等又はより簡易な処理を行い、前記入力データを出力するバイパス手段とを付加することを特徴とする。

【0015】また、本発明の集積回路の設計方法は、通常動作モードにおいて、入力オペランド及び入力オペコードを入力され、前記入力オペコードにより指定される所定処理を行い、出力オペランド及び出力オペコードの少なくともいずれか一方を出力する集積回路にスキャン手法を適用する設計方法であって、前記スキャンモードが設定された場合、前記入力オペコードにより指定される前記所定処理に係わらず、予め固定された、前記所定処理と同等又はより簡易な処理を前記入力オペランドに行い、前記処理を行い得られた結果を、前記出力オペランド及び出力オペコードの少なくともいずれか一方として出力することを特徴とする。

【0016】本発明の集積回路は、通常動作モードにおいて、入力データに対して所定処理を行い出力する集積回路にスキャン手法が適用された回路であって、前記集積回路は前記所定処理を行う手段に加えて、スキャンモードを設定するスキャンモード設定手段と、前記スキャンモード設定手段により前記スキャンモードが設定された場合、前記処理と同等又はより簡易な処理を行い、前記入力データを出力するバイパス手段とをさらに備えることを特徴としている。

【0017】また本発明の集積回路は、通常動作モードにおいて、入力オペランド及び入力オペコードを入力され、前記入力オペコードにより指定される所定処理を行い、出力オペランド及び出力オペコードの少なくともいずれか一方を出力する集積回路にスキャン手法が適用された回路であって、前記集積回路は前記所定処理を行う手段に加えて、スキャンモードを設定するスキャンモ

5

ド設定手段と、前記スキャンモード設定手段により前記スキャンモードが設定された場合、前記入力オペコードにより指定される前記所定処理に係わらず、予め固定された、前記所定処理と同等又はより簡易な処理を前記入力オペランドに行う処理手段と、前記処理手段が前記処理を行い得られた結果を、前記出力オペランド及び出力オペコードの少なくともいずれか一方として出力する手段とをさらに備えている。

【0018】ここで、前記集積回路は演算器であってもよく、この場合は前記スキャンモード設定手段は、スキャンモード設定信号を入力されるスキャンモード設定信号入力端子であり、前記処理手段は、前記スキャンモード設定信号が入力されると、固定された前記処理を前記入力オペランドに行うものであり、前記出力手段は、前記処理手段が処理した結果を、前記出力オペランド及び出力オペコードの少なくともいずれか一方として出力するものであってもよい。

【0019】あるいは、前記集積回路は書込及び読出可能なメモリであってもよく、この場合は通常動作において前記入力オペランドは書込データであり、前記入力オペコードはアドレスと、書込又は読出を指定する制御信号とを含み、前記出力オペランドは読出データであり、前記スキャンモード設定手段は、スキャンモード設定信号を入力されるスキャンモード設定信号入力端子であり、前記処理手段は、前記スキャンモード設定信号が入力されると、前記制御信号に基づいて、前記入力オペランド又は前記入力オペランドのいずれかを選択してバイパスするものであり、前記出力手段は、前記処理手段がバイパスしたものを前記出力オペランドとして出力するものであってもよい。

【0020】

【発明の実施の形態】以下、本発明の一実施の形態について図面を参照して説明する。

【0021】本実施の形態は、スキャン設計が行われたSCブロックと、IP又はMBから成るカスタムブロックとを組み合わせた集積回路におけるテスト容易化を図る設計方法及びこの方法により設計された集積回路に適用されるものであり、集積回路の構成を図1に示す。

【0022】設計方法としては、カスタムブロックCB1内に、通常動作モードからスキャンモードに切り替えを行うスキャンモード設定信号入力端子を新規に設ける。そして、スキャンモード設定信号がこの端子に入力された場合、カスタムブロックCB1に入力された信号を、通常動作よりも簡易な論理動作を行って出力させるバイパス経路を、カスタムブロックCB1に付加する。

【0023】これにより、カスタムブロックCB1がスキャンモードでは単純な論理構成を有する機能ブロックに置き換わる。このため、SCブロックSCB1に対してATPGを用いてテストパターンの自動生成を行う時に、カスタムブロックCB1とSCブロックSCB1と

(4)

6

を併せて行うことが可能となる。この結果、従来はスキャンにより故障検出が不可能であったブロック間の境界領域(図6における領域AR3)の故障検出が可能となり、回路全体の故障検出率を向上させることができる。

【0024】ここで、スキャンモードで動作する構成の一例としては、例えば図1に示されたように、SCブロックSCB1からカスタムブロックCB1への二つの入力経路L11及びL12が排他的論理和(以下、EXORという)ゲートEXに接続されており、その出力が出力経路L13よりSCブロックSCB1に入力される。スキャンモードでは、カスタムブロックCB1に入力された信号に対してこのような簡易な論理演算を行ってその出力をSCブロックSCB1に戻す。これにより、カスタムブロックCB1に残っている過去の履歴に影響されることなく、入力データに直接対応した出力を取り出して観測することが可能となる。よって、ATPGによりテストパターンを自動生成しテストを容易することができる。

【0025】次に、カスタムブロックCB1に付加されるスキャンモードの概念を一般化したものについて、図2を用いて説明する。

【0026】通常動作において、演算の対象となる n (n は1以上の整数)個の入力データを入力オペランドIND1~IND n 、演算の種類を指定する p (p は1以上の整数)個の入力データを入力オペコードINC1~INC p とする。入力オペランドIND1~IND n に対し、入力オペコードINC1~INC p により指定された演算が行われる。これにより、演算結果として m (m は1以上の整数)個のデータが出力オペランドOUTD1~OUTD m (m は1以上の整数)として出力され、さらに演算フラグ等を示す q (q は1以上の整数)個の出力オペコードが出力される。

【0027】上記通常動作に対し、スキャンモード設定信号SMSが入力されると、入力オペコードINC1~INC n で指定される演算の種類が無視され、スキャンモード専用の予め固定された演算に切り替わる。この演算内容は任意に設定することができるが、上記EXOR演算のように通常動作と同等あるいはより簡易な論理動作であり、且つ高い故障検出率が可能な演算であることが望ましい。

【0028】カスタムブロックCB1の具体的な例として、演算器に対する設計方法及びその構成について図3を用いて説明する。演算器ALUに、二つの入力オペランドINDA及びINDBが入力される。演算オペコードOOCが入力されて演算の種類が指定され、演算を行った結果が出力オペランドOUTDとして出力され、キャリー発生等の演算結果を示すフラグが演算フラグOFとして出力される。

【0029】このような一般的に用いられている演算器ALUに、スキャンモードに設定するスキャンモード設

7

定信号SMSを入力する端子と、この信号SMSが入力されたときに演算オペコードOOCを無視して固定された演算を行う手段と、この固定演算を行った結果を出力オペランドOUTDとして出力する手段と、この演算結果を示す演算フラグOFを出力する手段とを付加する。

【0030】通常動作では、演算オペコードOOCにより指定される演算には例えば算術演算の加算、減算、乗算、除算や、論理演算のAND、OR、EXOR等の複数種類の演算が含まれる。これに対し、スキャンモードに設定されたときは、例えば論理演算のEXOR等の一種類の演算に固定される。一般には演算器ALUにEXORの演算手段が含まれているので、新たに付加することなく流用することができる。

【0031】また、演算フラグOFの生成に関しても、スキャンモードでは演算オペコードOOCに対して圧縮回路CCを用いて出力データのビット数を減らして演算フラグOFを出力する。例えば、演算オペコードOOCが3ビットで構成されている場合、4ビットの入力を圧縮回路CCに入力してEXOR等の演算を行い、1ビットの演算フラグOFを出力する。

【0032】スキャンモードにおける固定演算として上述したようにEXORを用いる場合は、二つの入力オペランドINDA及びINDBの入力から演算に至る経路の故障検出が可能である。

【0033】これに対し、入力オペランドINDBの値にかかわらず「1」に固定し、入力オペランドINDAと「1」とを乗算する演算を用いることも考えられる。この場合は演算内容はより簡易なものとなるが、入力オペランドINDBの入力経路における故障検出を行うことはできない。

【0034】カスタムブロックCB1の他の具体的な例として、書込及び読出が可能なメモリに対する設計方法及びその構成について、図4を用いて説明する。メモリMCAに、入力オペコードとしてアドレスAD、読出又は書込を指定するリードライト信号R/W、動作を活性化させるイネーブル信号ENCが入力され、書込データとして入力オペランドINDが入力される。そして、書込が指定されたときは、アドレスADにより指定されたアドレスに書込データが書き込まれ、読出が指定されたときは、アドレスADにより選択されたアドレスに書き込まれているデータが出力オペランドOUTDとして読み出される。

【0035】上記構成を有する通常のメモリに対し、スキャンモードに設定するスキャンモード設定信号SMSを入力する端子と、この信号SMSが入力されるとアドレスADを無視してアドレスを「0」番地に固定する手段と、入力オペランドINDとして入力された書き込みデータをバイパスして出力オペランドOUTDとして出力する手段とを付加する。

【0036】これにより、スキャンモード設定信号SM

(5)

8

Sが入力されると、アドレスADの如何にかかわらず、またこれまでに書き込まれているデータの履歴とは無関係に、入力オペランドINDが出力オペランドOUTDとして出力される。よって過去のデータに影響されることなく入出力関係が単純化され、故障検出が可能となる。

【0037】また、入力オペランドINDのみならず、入力されたアドレスADを出力オペランドOUTDとして出力することにより、アドレスADの入力経路の故障検出も可能である。この場合は、入力オペランドINDとアドレスADとのいずれか一方を切り換えて出力する制御手段が必要となるが、例えばリードライト信号R/Wを制御用に用いてもよい。

【0038】このように、本実施の形態に従ってメモリにスキャンモードの構成を付加することにより、入力と出力との論理関係を単純化しATPGによるテストパターンの自動生成が可能となる。

【0039】上記演算器ALUやメモリMCAでは、出力オペランドが存在する。しかし、カスタムブロックCBには必ずしも出力オペランドが存在せず、演算フラグのみが存在する場合もあり、このようなものに対しても本実施の形態に従いスキャンモードを付加することも可能である。

【0040】この場合の一例として一致検出器を図5に示す。少なくとも二つの入力オペランドINDAとINDBとが一致検出器DTに入力され、例えばEXOR演算等により一致又は不一致が判断される。演算結果は、演算フラグOFとして出力される。

【0041】このような一致検出器DTに、本実施の形態に従って同等又はスキャンモード設定信号SMSを入力する手段と、この信号が入力された場合により単純化された演算を行う手段と、その演算結果を出力する手段とを付加する。これにより、スキャンモード設定信号が入力されると、入力オペランドINDAとINDBとの間で所定の演算が行われ、演算フラグOFとして出力される。演算内容としては、通常動作と同様にEXOR演算を行ってもよい。あるいは、一方の入力オペランドINDAのみを使用し、他の入力オペランドINDBはその値にかかわらず例えば「1」の値に固定して演算を行ってもよい。

【0042】上述したように、本実施の形態に従ってスキャンモードを付加する設計を行ったカスタムブロックCB1をSCブロックSCB1と組み合わせることで、カスタムブロックCB1の入出力の論理関係が単純化されるので、両ブロック間の境界領域においてもスキャン手法を用いて故障検出が可能となる。これにより、詳細な回路仕様を設計者が認識することなく、ATPGを用いて自動的にテストパターンを発生させることができる。

【0043】また、本実施の形態による設計方法に従っ

(6)

9

てスキャンモードを付加させる場合、カスタムブロックに通常備わっている制御系を利用して固定された単純な論理演算により出力を行うという最小限の機能を付加することにより実現が可能である。よって、スキャンモードの付加がもたらす回路規模への増大や動作速度の低下といった影響を最小限に抑えることができる。

【0044】 上述した実施の形態は一例であり、本発明を限定するものではない。例えば、カスタムブロックとして図3、図4に示された演算器ALUやメモリMCAの構成は一例であり、これに限定されず様々な変形が可能である。

【0045】

【発明の効果】 以上説明したように、本発明の集積回路の設計方法及びこの方法により設計された集積回路によれば、スキャンモードにおける入出力の論理が通常動作より簡易化されることにより、ATPG等を用いてテストパターンを自動的に発生しテストを容易化することができる。

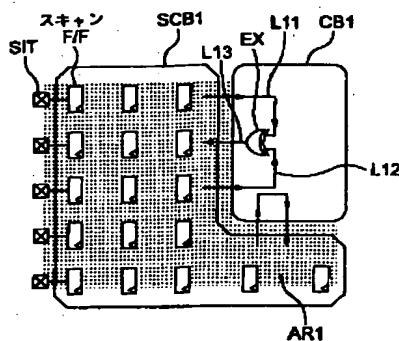
【図面の簡単な説明】

【図1】 本発明の一実施の形態による集積回路の構成を示したブロック図。

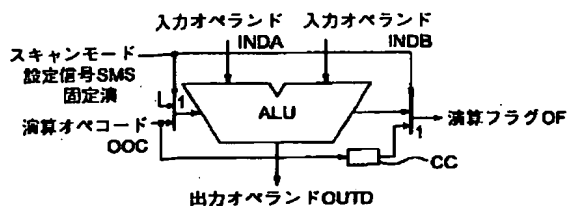
【図2】 同集積回路に含まれるカスタムブロックの構成を示したブロック図。

【図3】 同カスタムブロックの一例として演算器の構成を示したブロック図。

【図1】



【図3】



10

【図4】 同カスタムブロックの一例としてメモリの構成を示したブロック図。

【図5】 同カスタムブロックの一例として一致検出器の構成を示したブロック図。

【図6】 従来の集積回路の構成を示したブロック図。

【符号の説明】

SCB1 スタンダードセルブロック

CB1 カスタムブロック

F/F スキャンフリップフロップ

10 SIT 外部入出力端子

AR1 領域 (スキャン設計により故障検出可能な領域)

IND1~INDn、INDA、INDB、IND 入力オペランド

OUTD1~OUTDm、OUTD 出力オペランド

INC1~INCp 入力オペコード

OUTC1~OUTq 出力オペコード

SMS スキャンモード設定信号

OOC 演算オペコード

20 OF 演算フラグ

CC 圧縮回路

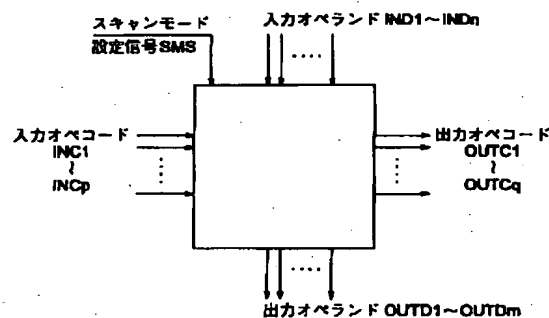
AD アドレス

R/W リードライト信号

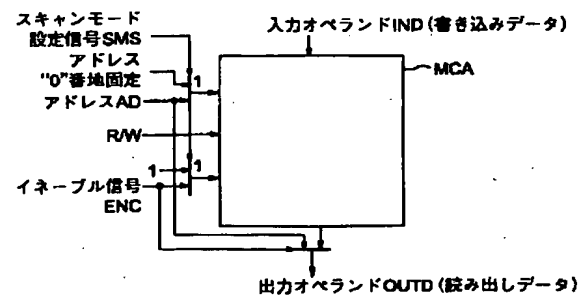
ENC イネーブル信号

DT 一致検出器

【図2】

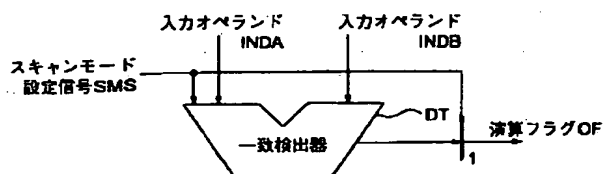


【図4】

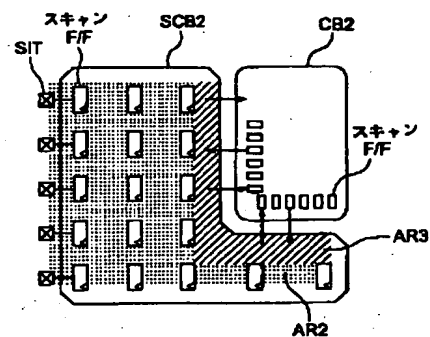


(7)

【図5】



【図6】



フロントページの続き

F ターム(参考) 2G032 AA01 AC10 AK15 AK16
 5B046 AA08 BA03
 5F038 DF04 DF14 DT04 DT05 DT06
 EZ08 EZ20
 5F064 AA02 AA04 BB02 BB09 BB31
 DD02 FF13 FF46
 9A001 BB05 JJ48 LL05

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-183424

(43)Date of publication of application : 06.07.2001

(51)Int.Cl.

G01R 31/28

G06F 17/50

H01L 21/82

H01L 27/04

H01L 21/822

(21)Application number : 11-370443

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.12.1999

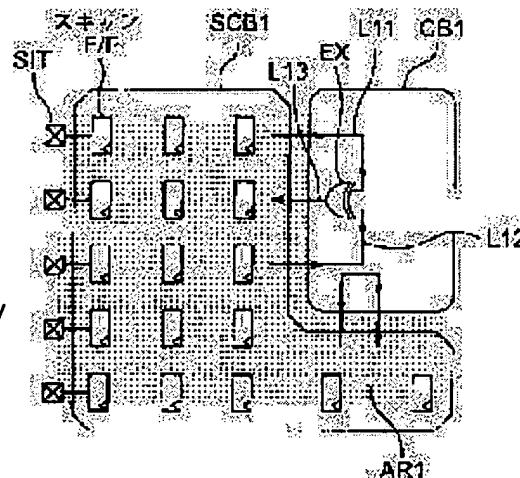
(72)Inventor : MORI JUNJI

(54) INTEGRATED CIRCUIT AND ITS DESIGN METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To facilitate a test of a boundary area between blocks of a device made by combining a block made up of a combination of standard cells with a custom block made up of a macro block and an IP.

SOLUTION: The custom block CB1 is designed, with a means added thereto for performing computations, such as EXOR computation simpler than usual operation and outputting it when the block CB1 is put into scan mode. This simplifies logical relations between input and output, without being affected by the history of data in the past stored in memories and registers contained in the block CB1. Similarly to the standard cell block SCB1 using a scan method, test patterns can be produced automatically by ATPG.



LEGAL STATUS

[Date of request for examination]

24.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A layout method of an integrated circuit characterized by adding a bypass means to be the layout method of an integrated circuit which applies scanning technique to an integrated circuit which outputs by performing predetermined processing to input data in normal operation mode, to perform said predetermined processing and EQC, or simpler processing when scanning mode is set up, and to output said input data.

[Claim 2] In normal operation mode, an input operand and an input operation code are inputted. It is the layout method of an integrated circuit which performs predetermined processing specified by said input operation code, and applies scanning technique to an integrated circuit of an output operand and an output operation code which outputs either at least. When scanning mode is set up, irrespective of said predetermined processing specified by said input operation code A layout method of an integrated circuit characterized for a result which said predetermined processing fixed beforehand, an EQC, or simpler processing is performed [result] to said input operand, and may have had said processing performed by thing of said output operand and an output operation code outputted as either at least.

[Claim 3] It is the integrated circuit with which scanning technique was applied to an integrated circuit which outputs by performing predetermined processing to input data in normal operation mode. Said integrated circuit for a means to perform said predetermined processing In addition, a scanning mode setting means to set up scanning mode, An integrated circuit characterized by having further a bypass means to perform said processing processing and EQC, or simpler processing, and to output said input data when said scanning mode is set up by said scanning mode setting means.

[Claim 4] In normal operation mode, an input operand and an input operation code are inputted. It is the integrated circuit with which predetermined processing specified by said input operation code was performed, and scanning technique was applied to an integrated circuit of an output operand and an output operation code which outputs either at least. Said integrated circuit for a means to perform said predetermined processing In addition, a scanning mode setting means to set up scanning mode, When said scanning mode is set up by said scanning mode setting means, A processing means to perform said predetermined processing beforehand fixed irrespective of said predetermined processing specified by said input operation code, an EQC, or simpler processing to said input operand, An integrated circuit characterized by having further a means of said output operand and an output operation code to output as either at least for a result said processing means may have had said processing performed.

[Claim 5] Said integrated circuit is a computing element. Said scanning mode setting means It is the scanning mode setting signal input terminal into which a scanning mode setting signal is inputted. Said processing means When said scanning mode setting signal is inputted, it is what performs said fixed processing to said input operand. Said output means An integrated circuit according to claim 4 characterized by being the thing of said output operand and an output operation code outputted as either at least about a result which said processing means processed.

[Claim 6] Said integrated circuit is memory in which a store and read-out are possible, and is set to normal operation. Said input operand is a write data. Said input operation code The address, Said output operand is read-out data including a control signal which specifies a store or read-out. Said scanning mode setting means It is the scanning mode setting signal input terminal into which a scanning mode setting signal is inputted. Said processing means If said scanning mode setting signal is inputted, it is based on said control signal. It is the integrated circuit according to claim 4 which chooses and bypasses either said input operand or said input operand, and is characterized by said output means being what outputs what said processing means bypassed as said output operand.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This inventions are an integrated circuit and its layout method, and relate to the integrated circuit designed using the method of designing an integrated circuit especially using scanning technique, and its method.

[0002]

[Description of the Prior Art] Performing logic synthesis / automatic-layout wiring using a standard cell (henceforth SC), and realizing a desired circuit in recent years is performed. This is performing logic synthesis for the desired circuit where SC which has a fixed function is beforehand registered into the library, specification's was determined, and that logic configuration's was described with the function description language combining two or more SCs, creating a netlist and performing automatic-layout wiring using this list, and is the technique of realizing a circuit pattern.

[0003] Since this technique can be generated automatically by even the circuit pattern for the function described with the function description language, it is effective in period compaction of layout, and improvement in layout flexibility. Therefore, the technique of the logic synthesis / automatic-layout wiring using SC is partially applied not only to ASIC (Application Specific IC) but to the microprocessor which needs highly efficient custom-made layout.

[0004] Furthermore, by applying scanning technique for the formation of test easy, this technique can be generated automatically using ATPG (Auto Test Pattern Generator) for the test pattern at the time of product shipment, and can realize high fault coverage.

[0005] It is the technique of it dividing roughly into the sequential circuit which consists a circuit of a flip-flop (henceforth F/F), and the combinational circuit which consists of the logical circuit which does not contain F/F, connecting F/F to a serial, considering as one shift register, inputting a desired value as scanning technique from the outside here, spreading to a combinational circuit, operating it, and picking-achieving results of operation one by one, and inspecting them from a shift register. Only the portion can be started as a small circuit of a scale, and the logical circuit across which it faced between scanning F/F can make it a subject of examination. Therefore, it becomes possible to analyze easily the combination of the input in which fault detection is possible using ATPG.

[0006] However, in the circuit which has the function in which specification was fixed like memory or a high-speed computing element, the combination of SC does not realize, but it is performing a circuit and layout design by the help, and the technique of making minimization of element area and improvement in the speed of operation attain is used. The thing beforehand designed as MB (Macro Block) or the thing purchased as IP (Intellectual Property) from the other company is used for such a circuit in many cases.

[0007] Such MB or IP is not used as equipment with its simple substance, but where the circuit according to a use is arranged and combined with the perimeter, it is used. However, it is unknown at the layout time what kind of circuit is arranged around MB or IP. Then, test easy-ized layout, such as scanning F/F and BIST (Build-In Self Test), is usually performed to the interior of a circuit by MB or IP simple substance so that fault detection may be possible.

[0008] Therefore, the formation of test easy is possible for the circuit which performed logic synthesis / automatic-layout wiring using SC by scanning technique, and since the test technique is established, easy-izing of a test is possible for MB or IP simple substance.

[0009]

[Problem(s) to be Solved by the Invention] However, there were the following problems in the conventional equipment which combined the circuit, MB, or IP compounded by SC.

[0010] As shown in drawing 6 , the custom-made block CB2 which consists of the SC blocks SCB2 and MB or IP which combined SC is arranged. Scanning connection of F/F is made into the SC block SCB2, and an entry-of-data

setup of the request from the scanning input terminal SIT prepared in the equipment exterior and the output of a test result are possible. Moreover, the test within the custom-made block CB2 can be carried out according to the technique established at the time of layout.

[0011] However, in the SC block SCB2, the field AR 2 in which fault detection is possible, and the field AR 3 which is not possible exist by scanning layout by having combined with the custom-made block CB2. Since this field AR 3 is equivalent to the border area of the custom-made block CB2 and the SC block SCB2 and cannot trace control of an input, and observation of an output with a scan, fault detection is impossible for it.

[0012] As shown in drawing 6, the technique of performing scanning layout using F/F contained in the custom-made block CB2 is also considered. However, when such layout is performed, the area of the custom-made block CB2 will increase, and the fall of clock frequency will also be easy to be caused. For this reason, the meaning using the custom-made block CB2 will be lost.

[0013] This invention aims at offering the integrated circuit designed using the layout method of the integrated circuit which can easy-ize the test of the border area during the block at the time of combining SC block which can use scanning technique, and the custom-made block which consists of MB or IP in view of the above-mentioned situation, and this technique.

[0014] [Means for Solving the Problem] A layout method of an integrated circuit of this invention is the layout method which applies scanning technique to an integrated circuit which outputs by performing predetermined processing to input data in normal operation mode, when scanning mode is set up, performs said predetermined processing and EQC, or simpler processing, and is characterized by adding a bypass means to output said input data.

[0015] Moreover, in normal operation mode, an input operand and an input operation code are inputted into a layout method of an integrated circuit of this invention. It is the layout method which performs predetermined processing specified by said input operation code, and applies scanning technique to an integrated circuit of an output operand and an output operation code which outputs either at least. When said scanning mode is set up, irrespective of said predetermined processing specified by said input operation code A result which said predetermined processing fixed beforehand, an EQC, or simpler processing is performed [result] to said input operand, and may have had said processing performed is characterized by thing of said output operand and an output operation code outputted as either at least.

[0016] An integrated circuit of this invention is a circuit where scanning technique was applied to an integrated circuit which outputs by performing predetermined processing to input data in normal operation mode. Said integrated circuit for a means to perform said predetermined processing In addition, a scanning mode setting means to set up scanning mode, When said scanning mode is set up by said scanning mode setting means, said processing processing and EQC, or simpler processing is performed, and it is characterized by having further a bypass means to output said input data.

[0017] Moreover, in normal operation mode, an input operand and an input operation code are inputted into an integrated circuit of this invention. It is the circuit where predetermined processing specified by said input operation code was performed, and scanning technique was applied to an integrated circuit of an output operand and an output operation code which outputs either at least. Said integrated circuit for a means to perform said predetermined processing In addition, a scanning mode setting means to set up scanning mode, When said scanning mode is set up by said scanning mode setting means, A processing means to perform said predetermined processing beforehand fixed irrespective of said predetermined processing specified by said input operation code, an EQC, or simpler processing to said input operand, It has further a means of said output operand and an output operation code to output as either at least for a result said processing means may have had said processing performed.

[0018] Said integrated circuit may be a computing element here. In this case said scanning mode setting means It is the scanning mode setting signal input terminal into which a scanning mode setting signal is inputted. Said processing means If said scanning mode setting signal is inputted, said fixed processing may be performed to said input operand, and said output means may be a thing of said output operand and an output operation code outputted as either at least about a result which said processing means processed.

[0019] Said integrated circuit may be memory in which a store and read-out are possible, and said input operand is a write data in normal operation in this case. Said input operation code Or the address, Said output operand is read-out data including a control signal which specifies a store or read-out. Said scanning mode setting means It is the scanning mode setting signal input terminal into which a scanning mode setting signal is inputted. Said processing means If said scanning mode setting signal is inputted, it is based on said control signal. Either said input operand or said input operand may be chosen and bypassed, and said output means may output what said processing means bypassed as said output operand.

[0020]

[Embodiment of the Invention] Hereafter, the gestalt of 1 operation of this invention is explained with reference to a drawing.

[0021] The gestalt of this operation is applied to the integrated circuit designed by the layout method of attaining test easy-ization in the integrated circuit which combined SC block with which scanning layout was performed, and the custom-made block which consists of IP or MB, and this method, and shows the configuration of an integrated circuit to drawing 1.

[0022] As the layout method, the scanning mode setting signal input terminal which changes from normal operation mode to scanning mode is newly prepared in the custom-made block CB1. And when a scanning mode setting signal is inputted into this terminal, the bypass path to which carry out logic actuation simpler than normal operation, and the signal inputted into the custom-made block CB1 is made to output is added to the custom-made block CB1.

[0023] Thereby, the custom-made block CB1 replaces functional block which has simple logical organization in scanning mode. For this reason, when generating a test pattern automatically using ATPG to the SC block SCB1, it becomes possible to combine the custom-made block CB1 and the SC block SCB1, and to perform them. Consequently, conventionally, the fault detection of the border area during the block for which fault detection was impossible (the field AR 3 in drawing 6) can become possible with a scan, and the fault coverage of the whole circuit can be raised.

[0024] Here, as an example of a configuration of operating in scanning mode, as shown, for example in drawing 1, two input paths L11 and L12 to the custom-made block CB1 from the SC block SCB1 are connected to the exclusive-OR (called following and EXOR) gate EX, and the output is inputted into the SC block SCB1 from the output path L13. In scanning mode, such simple logical operation is performed to the signal inputted into the custom-made block CB1, and the output is returned to the SC block SCB1. It becomes possible to take out and observe the output corresponding to input data directly, without being influenced by the hysteresis of the past which remains in the custom-made block CB1 by this. Therefore, a test pattern is generated automatically by ATPG and it can carry out easy [of the test].

[0025] Next, what generalized the concept in the scanning mode added to the custom-made block CB1 is explained using drawing 2.

[0026] In normal operation, the input data of p (p is one or more integers) individual which specifies the class of the input operand IND1 - INDn, and operation for the input data of n (n is one or more integers) individual set as the object of an operation is set to the input operation code INC1 - INCp. The operation specified by the input operation code INC1 - INCp is performed to the input operand IND1 - INDn. Thereby, the data of m (m is one or more integers) individual is outputted as the result of an operation as the output operand OUTD1 - OUTDm (m is one or more integers), and the output operation code of q (q is one or more integers) individual which shows an operation flag etc. further is outputted.

[0027] If the scanning mode setting signal SMS is inputted to the above-mentioned normal operation, the class of operation specified by the input operation code INC1 - INCn will be disregarded, and it will change to the operation to which it was beforehand fixed only for scanning modes. Although these contents of an operation can be set as arbitration, it is desirable that it is logic actuation equivalent to normal operation or simpler like the above-mentioned EX-OR operation, and is the operation in which high fault coverage is possible.

[0028] As a concrete example of the custom-made block CB1, the layout method for a computing element and its configuration are explained using drawing 3. Two input operands INDA and INDB are inputted into a computing element ALU. The operation operation code OOC is inputted, the class of operation is specified, the result of having calculated is outputted as an output operand OUTD, and the flag which shows the results of an operation, such as carry generating, is outputted as an operation flag OF.

[0029] The terminal which inputs the scanning mode-setting signal SMS set as scanning mode into such the computing element ALU generally used, a means perform the operation fixed by disregarding the operation operation code OOC when this signal SMS is inputted, a means output the result performed this fixed operation as an output operand OUTD, and a means output the operation flag OF which shows this result of an operation add.

[0030] In normal operation, two or more kinds of operations, such as AND of addition of arithmetic operation, subtraction, multiplication, a division, and logical operation, OR, and EXOR, are included in the operation specified by the operation operation code OOC. On the other hand, it is fixed to one kind of operations, such as EXOR of logical operation, when set as scanning mode. Since the operation means of EXOR is generally included in the computing element ALU, it can divert without newly adding.

[0031] Moreover, also about generation of the operation flag OF, in scanning mode, the number of bits of output data is reduced using the compression circuit CC to the operation operation code OOC, and the operation flag OF is outputted. For example, when the operation operation code OOC consists of triplets, a 4-bit input is inputted into the compression circuit CC, EXOR etc. is calculated, and the 1-bit operation flag OF is outputted.

[0032] As mentioned above as a fixed operation in scanning mode, when using EXOR, the fault detection of the path from the input of two input operands INDA and INDB to an operation is possible.

[0033] On the other hand, irrespective of the value of the input operand INDB, it fixes to "1" and using the operation which carries out the multiplication of "1" to the input operand INDA is also considered. In this case, although the contents of an operation will become simpler, fault detection in the input path of the input operand INDB cannot be performed.

[0034] As other concrete examples of the custom-made block CB1, the layout method for the memory in which a store and read-out are possible, and its configuration are explained using drawing 4. Read/write signal R/W which specifies Address AD, read-out, or a store as an input operation code, and the enable signal ENC which activates actuation are inputted into Memory MCA, and the input operand IND is inputted as a write data. And when a write data is written in the address specified by Address AD when a store was specified and read-out is specified, reading appearance of the data currently written in the address chosen by Address AD is carried out as an output operand OUTD.

[0035] The terminal which inputs the scanning mode-setting signal SMS set as scanning mode, a means will disregard Address AD if this signal SMS is inputted, and fix the address to "0" addresses, and a means which were inputted as an input operand IND write in, bypass data and output as an output operand OUTD add to the usual memory which has the above-mentioned configuration.

[0036] Thereby, an input of the scanning mode setting signal SMS outputs the input operand IND as an output operand OUTD regardless of the hysteresis of the data written in until now regardless of Address AD. Therefore, input/output relation is simplified without being influenced by the past data, and fault detection becomes possible.

[0037] Moreover, the fault detection of the input path of Address AD is also possible by outputting not only the input operand IND but the inputted address AD as an output operand OUTD. In this case, although the control means which switches and outputs either of the input operand IND and Address AD is needed, read/write signal R/W may be used for control, for example.

[0038] Thus, by adding the configuration in scanning mode to memory according to the gestalt of this operation, the logical relation of an input and an output is simplified and automatic generation of the test pattern by ATPG is attained.

[0039] An output operand exists by the above-mentioned computing element ALU and Memory MCA. However, it is also possible for an output operand not to necessarily exist in the custom-made block CB, but only for an operation flag to exist, and to add scanning mode according to the gestalt of this operation also to such a thing.

[0040] A coincidence detector is shown in drawing 5 as an example in this case. At least two input operands INDA and INDB are inputted into the coincidence detector DT, for example, coincidence or an inequality is judged by an EXOR operation etc. The result of an operation is outputted as an operation flag OF.

[0041] A means to input an EQC or the scanning mode setting signal SMS into such a coincidence detector DT according to the gestalt of this operation, a means to perform the operation simplified by the case where this signal was inputted, and a means to output that result of an operation are added. Thereby, if a scanning mode setting signal is inputted, an operation predetermined between the input operands INDA and INDB will be performed, and it will be outputted as an operation flag OF. As contents of an operation, an EXOR operation may be performed like normal operation. Or one input operand INDA may be used and other input operands INDB may calculate by fixing to the value of "1" irrespective of the value.

[0042] As mentioned above, since the logical relation of I/O of the custom-made block CB1 is simplified, also in the border area during both blocks, fault detection becomes possible using scanning technique by combining with the SC block SCB1 the custom-made block CB1 which performed layout which adds scanning mode according to the gestalt of this operation. A test pattern can be automatically generated using ATPG, without a designer recognizing detailed circuit specification by this.

[0043] Moreover, when making scanning mode add according to the layout method by the gestalt of this operation, it can realize by adding the minimum function to output by the simple logical operation fixed to the custom-made block using the usually equipped control system. Therefore, addition in scanning mode can suppress effects, such as increase to a ***** scale, and a fall of a working speed, to the minimum.

[0044] The gestalt of operation mentioned above is an example and does not limit this invention. For example, it is an example, and the configuration of the computing element ALU and Memory MCA which were shown in drawing 3 and drawing 4 as a custom-made block is not limited to this, but various deformation is possible for it.

[0045]
[Effect of the Invention] As explained above, according to the integrated circuit designed by the layout method of the integrated circuit of this invention, and this method, by simplifying the logic of the I/O in scanning mode from normal operation, a test pattern is automatically generated using ATPG etc. and a test can be easy-ized.

[Translation done.]

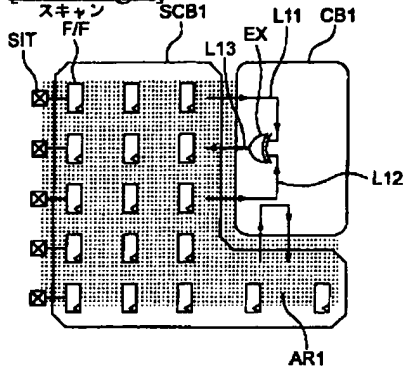
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

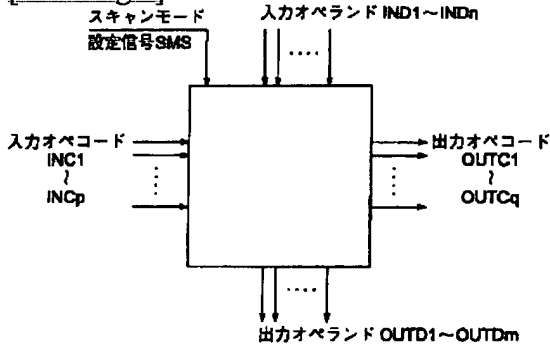
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

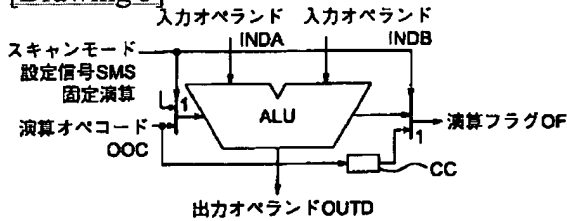
[Drawing 1]



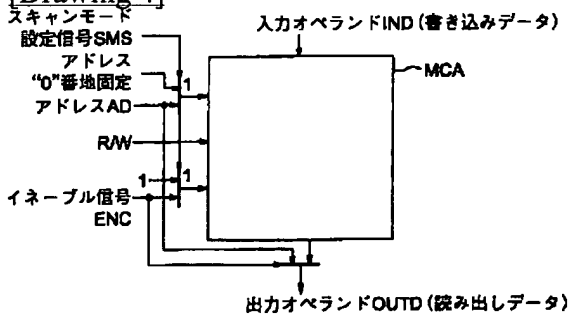
[Drawing 2]



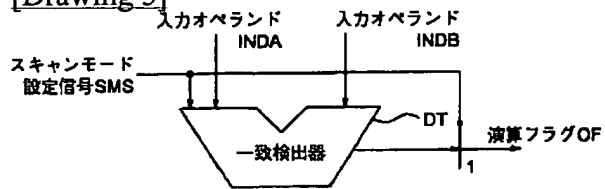
[Drawing 3]



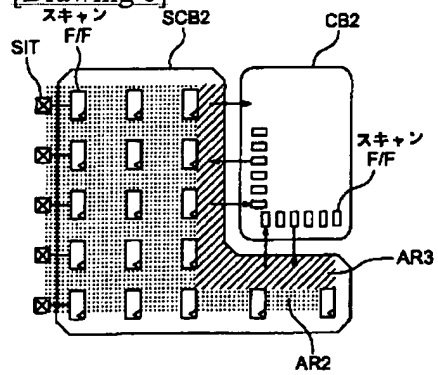
[Drawing 4]



[Drawing 5]



[Drawing 6]



[Translation done.]